

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EP0. All rts. reserv.

8204036

Basic Patent (No,Kind,Date): JP 63204769 A2 880824 <No. of Patents: 001>

THIN FILM TRANSISTOR (English)

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE

Author (Inventor): TANAKA KEIJI; ARAI HITOSHI; KODA SHIGETO

IPC: *H01L-029/78; H01L-027/12

Derwent WPI Acc No: C 88-281067

JAPIO Reference No: 120489E000105

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 63204769	A2	880824	JP 8735774	A	870220 (BASIC)

Priority Data (No,Kind,Date):

JP 8735774 A 870220

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02587869 **Image available**

THIN FILM TRANSISTOR

PUB. NO.: 63-204769 [JP 63204769 A]

PUBLISHED: August 24, 1988 (19880824)

INVENTOR(s): TANAKA KEIJI

ARAI HITOSHI

KODA SHIGETO

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-035774 [JP 8735774]

FILED: February 20, 1987 (19870220)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 696, Vol. 12, No. 489, Pg. 105, December 21, 1988 (19881221)

ABSTRACT

PURPOSE: To lessen an OFF current in a polycrystal silicon thin film transistor by preparing a region having an impurity concentration that is lower than those of source and drain electrodes between a polycrystalline silicon layer right below a gate electrode and either of source and drain electrodes.

CONSTITUTION: Regions 5 having a low impurity concentration are formed by causing both sides of a polycrystal silicon 2 to have a prescribed width in its silicon film 2 with a gate electrode 4 as a mask. When a transistor is in a state of OFF, that is, when a negative gate voltage is impressed in the case of an N-channel transistor and when a positive gate voltage is impressed in the case of P-channel transistor, an electric field due to impressed gate and drain electrodes is dispersed in the regions 5 having the low impurity concentration. As a result, the electric field intensity of a drain junction part becomes weaker and carriers moving through a trap in a gain boundary located in the vicinity of the drain junction decrease. Then even though the gate and drain voltages are impressed, no current leakage increases.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-204769

⑪ Int. Cl.⁴

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

S-8422-5F
7514-5F

⑬ 公開 昭和63年(1988)8月24日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-35774

⑯ 出 願 昭62(1987)2月20日

⑰ 発 明 者 田 中 敬 二 東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

⑱ 発 明 者 新 井 均 東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

㉑ 発 明 者 幸 田 成 人 東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子機構技術研究所内

㉒ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉓ 代 理 人 弁理士 山川 政樹 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

基板の上に形成された多結晶シリコン膜と、該多結晶シリコン膜中に不純物を導入することにより形成されたソース電極およびドレイン電極と、前記多結晶シリコン膜に積層されたゲート絶縁膜を介して設けられたゲート電極とを具備した薄膜トランジスタにおいて、前記ゲート電極の直下の多結晶シリコン膜と少なくとも前記ソース電極あるいはドレイン電極の一方との間に、前記ソース電極、ドレイン電極よりも不純物濃度が低い領域を有することを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、例えばアクティブマトリックス形平面ディスプレイ表示パネルにおける各画素の選択スイッチング素子に用いられる多結晶シリコン薄膜トランジスタに関するものである。

〔従来の技術〕

近年、大面積、高精細、高性能なアクティブマトリックス形平面ディスプレイの実現を狙いに多結晶シリコン薄膜トランジスタの開発が進められている。このような平面ディスプレイ表示パネルにおける各画素の選択スイッチング用薄膜トランジスタに対しては、フリックやクロストークがなく、コントラスト比が大きい良好な表示品質を得るために、オフ(OFF)電流が小さく電流のオン/オフ比が 10^4 以上であることが要求されている。

第3図は従来の多結晶シリコン薄膜トランジスタの概略構造を示す断面図である。同図において、11はガラスなどの絶縁基板であり、この基板11上には多結晶シリコン膜12が形成されたうえ、その多結晶シリコン膜12を覆ってゲート絶縁膜13が形成されている。そして、このゲート絶縁膜13上にはゲート電極14が形成されていて、このゲート電極14をマスクとして多結晶シリコン膜12中の両側に不純物を導入することにより、ソース電極15およびドレイン電極16がそれぞれ

れ形成されている。なお、17は層間絶縁膜、18は配線である。

〔発明が解決しようとする問題点〕

しかし、かかる構造を有する多結晶シリコン薄膜トランジスタでは、オフになつた時、すなわちnチャネルトランジスタにおいて負のゲート電圧が印加され、pチャネルトランジスタにおいて正のゲート電圧が印加された時、印加されたゲート電圧、ドレイン電圧による電界がドレイン接合部10に集中する。このように電界が強くなると、ドレイン接合付近の結晶粒界中のトラップを介してキャリアが移動して、ゲート電圧、ドレイン電圧に依存して大きなリーク電流が流れる(文献:遠賀 他:JJAP Vol. 21, No. 10, 1982, pp1472)。従つて、オフ電流が大きくなり、かつ電流のオン/オフ比が小さくなるという問題があつた。

本発明はこのような点に鑑みてなされたものであり、その目的は、トランジスタのオフ電流を低減し、かつオン/オフ比を増加せしめた多結晶シリコン薄膜トランジスタを提供することにある。

ドレイン接合付近の結晶粒界中のトラップを介して移動するキャリアが少なくなり、リーク電流を減少させることができる。このとき、上記不純物濃度の低い領域のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下で、ソース電極およびドレイン電極とゲート電極の直下の多結晶シリコン膜との間隔は700 Å以上であるのが好適である。

〔実施例〕

以下、本発明を図面に示す実施例に基づいて詳細に説明する。

第1図は本発明による薄膜トランジスタの一実施例を示す概略断面図である。第1図において、1はガラスなどからなる基板としての絶縁基板、2はこの絶縁基板1上に形成された多結晶シリコン膜、3はこの多結晶シリコン膜2に積層されたゲート絶縁膜、4はゲート絶縁膜3上に形成されたゲート電極である。また、5は前記多結晶シリコン膜2中にゲート電極4をマスクとしてその両側に所定の幅を有して形成された不純物濃度の低い領域、6はこの多結晶シリコン膜2中の一方側

〔問題点を解決するための手段〕

本発明に係る薄膜トランジスタは、基板上に形成された多結晶シリコン膜と、該多結晶シリコン膜中に不純物を導入することにより形成されたソース電極およびドレイン電極と、前記多結晶シリコン膜に積層されたゲート絶縁膜を介して設けられたゲート電極とを具備した薄膜トランジスタにおいて、前記ゲート電極の直下の多結晶シリコン膜と少なくとも前記ソース電極あるいはドレイン電極の一方との間に、前記ソース電極、ドレイン電極よりも不純物濃度が低い領域を有することを特徴とするものである。

〔作用〕

本発明においては、ゲート電極の直下の多結晶シリコン膜と少なくともソース電極あるいはドレイン電極の一方との間に、該ソース電極、ドレイン電極よりも不純物濃度が低い領域を設けることにより、ゲート電圧やドレイン電圧による電界が前記不純物濃度の低い領域内で分散される。これによつて、ドレイン接合部の電界強度が弱まり、

に不純物を導入して形成された高濃度の不純物を含むソース電極、7は同じく多結晶シリコン膜2中の他方側に不純物を導入して形成された高濃度の不純物を含むドレイン電極、8は層間絶縁膜、9は配線である。

次に、かかる構造を有する多結晶シリコン薄膜トランジスタの製造方法について述べる。

まず、ガラスなどの絶縁基板1上に多結晶シリコン膜2を形成したりえ、その多結晶シリコン膜2を覆つてゲート絶縁膜3を形成する。次に、このゲート絶縁膜3上にゲート電極4を選択的に形成する。次いで、このゲート電極4をマスクとして低濃度にリンをイオン注入して不純物濃度の低い領域5を多結晶シリコン膜2中に形成したりえ、ゲート電極4より大きいレジストマスクをそのゲート電極上に形成し、先に注入した不純物イオン濃度よりも高濃度にイオン注入して、ソース電極6およびドレイン電極7を形成する。このとき、この実施例では、例えば、不純物濃度が低い領域5の幅Lを $3 \mu\text{m}$ として $5 \times 10^{18} \text{ cm}^{-3}$ のリンをイオン

注入し、ソース電極8、ドレイン電極7の領域には $1 \times 10^{18} \text{ cm}^{-3}$ のリンをイオン注入した。これらの値は現行の集積回路製造技術を用いれば容易に制御できる値である。

次に、レジストマスクを除去し、熱処理を施して不純物を活性化したりえ、ゲート電極4上に層間絶縁膜8を形成する。しかる後、ソース電極6、ドレイン電極7上の層間絶縁膜8とゲート絶縁膜3にそれぞれコンタクトホールを開口し、これら開口を通じてソース電極6、ドレイン電極7とそれぞれ接続した配線9を形成することにより、第1図に示す構造の多結晶シリコン薄膜トランジスタを作成することができる。なお、従来構造の薄膜トランジスタとは、前記不純物濃度が低い領域5を形成する工程以外は、形成工程、形成条件は同じでよく、工程の増加もわずかである。

すなわち、この実施例の多結晶シリコン薄膜トランジスタは、絶縁基板1上に多結晶シリコン膜2を形成し、この多結晶シリコン膜2中に高濃度の不純物を含むソース電極8およびドレイン電極

7を形成すると共に、該多結晶シリコン膜2に積層したゲート絶縁膜3を介してゲート電極4を形成している点は、第3図に示す従来例のものと同様であるが、前記ゲート電極4の直下の多結晶シリコン膜2とソース電極8およびドレイン電極7との間に、それらソース、ドレイン電極よりも不純物濃度の低い領域5を設けたものである。

しかして、上記実施例の構造によると、当該トランジスタがオフになつた時、すなわちnチャネルトランジスタにおいて負のゲート電圧が印加され、pチャネルトランジスタにおいて正のゲート電圧が印加された時、印加されるゲート電圧、ドレイン電圧による電界が前記不純物濃度が低い領域5内で分散される。このため、ドレイン接合部の電界強度が弱まり、そのドレイン接合付近の結晶粒界中のトラップを介して移動するキャリアが少なくなる。従つて、ゲート電圧、ドレイン電圧を印加してもリーク電流は増大しない。その測定結果を第2図に示す。

第2図は、従来構造の薄膜トランジスタと本発

明による薄膜トランジスタのゲート電圧に対するドレイン電流の変化を示したもので、曲線Aは本発明の場合を、曲線Bは従来例の場合をそれぞれ示す。同図から明らかなように、従来構造の薄膜トランジスタでは、ゲート電圧が負側に増加すると電流が増大するため、ゲート電圧-10Vとゲート電圧20Vでの電流値の比は、約 10^6 しかない。一方、本発明による薄膜トランジスタでは、オフ電流が減少し、従来構造の薄膜トランジスタのオン/オフ比より1桁大きい 10^7 以上のオン/オフ比が得られることがわかる。

上述した実施例では、不純物濃度が低い領域5の幅が $3 \mu\text{m}$ 、リンのイオン注入が $5 \times 10^{18} \text{ cm}^{-3}$ の場合であつたが、この値では該領域5の抵抗によりオン電流がわずかに減少する。しかし、他の精密な実験と構造計算によれば、オフ電流の低減効果は該領域5の抵抗を小さくできる条件として、不純物濃度が低い領域5の幅を 700 \AA 、キャリア濃度を $1 \times 10^{17} \text{ cm}^{-3}$ としても実施できることが判明した。このため、不純物濃度が低い領域の構造定数を前

記値近傍に設定することによつてオン電流が減少せず、さらにオン/オフ比を増加せしめた多結晶シリコン薄膜トランジスタを実現できる。

〔発明の効果〕

以上説明したように本発明によれば、ゲート電極直下の多結晶シリコン膜と少なくともソース電極あるいはドレイン電極との間に該ソース電極、ドレイン電極よりも不純物濃度の低い領域を設けるという簡単な構造によつて、多結晶シリコン薄膜トランジスタのオフ電流を低減でき、かつ十分なオン/オフ比を有する多結晶シリコン薄膜トランジスタが製造できる。これにより、アクティブマトリックス形平面ディスプレイ表示パネルの大面积化、高精細化が可能となり、実用上の効果は頗る大である。

4. 図面の簡単な説明

第1図は本発明による多結晶シリコン薄膜トランジスタの一実施例を示す概略構造の断面図、第2図は従来の多結晶シリコン薄膜トランジスタと本発明の多結晶シリコン薄膜トランジスタのゲー

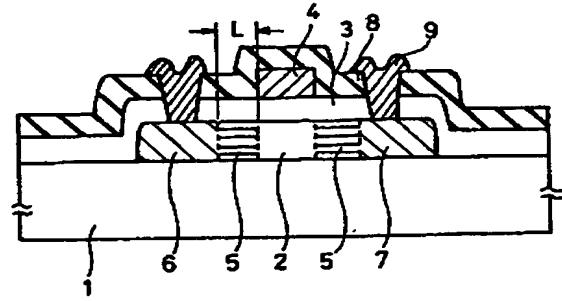
ト電圧によるドレイン電流の変化の測定結果を示す図、第3図は従来の多結晶シリコン薄膜トランジスタの概略断面図である。

1.....絶縁基板、2.....多結晶シリコン膜、3.....ゲート絶縁膜、4.....ゲート電極、5.....低濃度の不純物を含む領域、6.....ソース電極、7.....ドレイン電極、8.....層間絶縁膜、9.....配線。

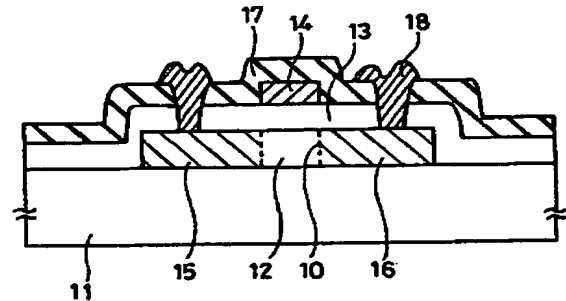
特許出願人 日本電信電話株式会社

代理人 山川政樹(ほか1名)

第1図



第3図



第2図

